

Design-Regeln für Boundary-Scan Baugruppenprüfung

Im Folgenden werden Applikations-Hinweise und Empfehlungen zum ASIC-Design bei der Implementierung des 1149.1 Standards für Boundary Scan gegeben. Außerdem werden wichtige Aspekte aufgeführt und erläutert, die beim Board-Design und beim Layout für den fehlerfreien Betrieb des BScan-Tests beachtet werden sollten.

1. Boundary Scan Architektur für ASIC's

- Alle digitalen I/O Pins sollten Boundary Scan Zellen besitzen.
- Für zeitkritische Clock-Pins sollten reine Inputzellen verwendet werden.
- Die Negation von Signalen innerhalb der Boundary Scan Register ist nicht erlaubt.
- Für die Signale TRST, TDI und TMS sollten interne Pull-Up Widerstände eingebracht werden.
- Testbus-Signale dürfen nie mit anderen internen Signalen verbunden werden.
- TCK darf nie mit einem internen Takt verbunden werden.
- TRST darf nie mit dem internen RESET verbunden werden.
- Wenn das IR (Instruction-Register) eine Länge von mehr als 2 Bit besitzt, können die zusätzlichen Bits spezielle Informationen beinhalten, zum Beispiel das Resultat eines BIST während Power-Up oder bausteinspezifische Daten.
- Die beiden Bits 1 und 0 des IR müssen Standard konform den Capturewert "01" liefern.
- ID (Identification) Register sind extrem nützlich während des gesamten Produktlebenszyklus. Es können ein Device-ID und mehrere User-ID Register implementiert werden.
- Built In Self Tests (BIST) sind sehr nützlich für die Verifikation während Produktion und Service.
- Die INTEST Instruktion sollte unterstützt und die entsprechenden Boundary Scan Zellen verwendet werden.
- Die CLAMP Instruktion sollte unterstützt werden, da sie die Verkürzung des Scanpfades ohne Verlust der Testpattern innerhalb des Bausteins erlaubt.
- Um Programmierprozeduren für Flashes und andere Speichertypen zu verkürzen, kann unter Verwendung der BScan-Logik für die entsprechenden Steuersignale eine Pulserzeugung implementiert werden. Falls das nicht gemacht wird, sollten diese Pins tristate-fähig sein.
- Um Ground Bounce Probleme zu vermeiden, sollten intern Verzögerungszeiten für Pingruppen von etwa 100-150 Outputs existieren.
- Bidirektionale Pins sollten gleichzeitig treiben und messen können. Das verbessert die Fehlerdiagnose für Opens und Sa-Fehler erheblich.
- Output Pins sollten eine Read-Back-Zelle besitzen, die den getriebenen Wert während des Capture zurückmessen kann (siehe auch vorhergehenden Punkt).
- Unstress-Zellen an den Ausgängen können den Überstrom im Falle eines externen Sa-Fehlers minimieren. Dabei wird der getriebene Wert zurückgemessen und im Problemfall automatisch umgeschaltet (Unstress Zustand).

2. Board Design Regeln

- Alle hochkomplexen Bauelemente, wie FPGA, PLD, DSP, Prozessoren, etc. sollten Boundary-Scan Funktionalität besitzen.
- Benachbarte Bus-Signale sollten nicht an benachbarte Pins von mehreren Bausteinen geführt werden. Im Fehlerfall werden bei der Interconnection-Diagnose benachbarte Pins aufgelistet. Je weniger Paare es dabei gibt, desto genauer ist die Fehleraussage.
- TMS, TCK /TRST sollten zwischen Controller und Baugruppe mit 220/330 Ohm gegen Power/Ground abgeschlossen werden.
- Serielle Widerstände (außer 0 Ohm) in Testbussignalen sind verboten.
- Das letzte TDO sollte imstande sein, 32 mA zu treiben.
- Kombinatorische Logik-Cluster mit Non-BScan-Bauelementen sollten so klein wie möglich gehalten werden (einzelne IC wenn möglich).
- Pins nicht scanbarer Logik (Buffer, Multiplexer, Glue Logic, Speicherbausteine, ...) sollten per BScan erreichbar sein.
- Sequentielle Logik sollte in FPGA / CPLD mit IEEE 1149.1 (Boundary Scan) designed werden.
- Konfigurationspins von FPGA's sollten per BScan erreichbar sein (einige FPGAs erlauben kein komplettes Bscan, solange sie im Konfigurationsmodus sind).
- No-BScan-FPGAs sollten mit einer Testkonfiguration ladbar sein, um z.B. BScan-Netze mit "Brücken" innerhalb des ICs zu verbinden.
- FPGAs verschiedener Hersteller sollten in separaten Scanketten vorhanden sein.
- Bsp. ORCA FPGAs schieben die zu programmierenden Daten im RunTest Idle Zustand.
- CPUs mit speziellem JTAG Interface für Emulation (BDM von Motorola oder TI) sollten in separate Scanketten gehalten werden.
- Wenn jeder Anschluss eines Buffers mit BScan Bauelementen verbunden oder über Steckverbinder erreichbar ist, braucht dieser selbst kein BScan Bauelement zu sein (transparenter Cluster). Die Netze sollten dann aber Testpunkte für die Feindiagnose besitzen.
- Versuchen Sie, einen einzigen Scanpfad auf dem Board zu definieren. Mehrere Scanpfade sind nur notwendig, wenn Compliance Probleme zu erwarten sind oder mehrere Tausend Scanzellen vorhanden sind. In diesem Falle kann der Testdurchsatz z.B. für die Programmierung erhöht werden.
- Für System-Level-Tests können spezielle Testbuscontroller verwendet werden, wie z.B. TI's ASP oder NSC's Scan Bridge.
- Muss sehr oft neue Firmware in Flashs geladen oder FPGAs programmiert werden, machen diese Testbuscontroller ebenfalls Sinn, da sie mit den einzelnen kurzen On-Board-Scanpfaden arbeiten.
- Benutzen Sie einige Bytes eines Flashs, um die Board-History aufzuzeichnen. (Board-Type, Release , Produktionsdatum, Anzahl der Reparaturzyklen, etc.) als exzellente QMS Methode. Auf dieses Archiv sollte man per BScan zugreifen können.
- Um Programmierprozeduren für Flashs zu verkürzen, sollte dessen /WE Signal über Steckverbinder kontaktierbar sein. Das erlaubt die Reduzierung der Schiebezyklen während der Programmierung.
- Ist ein Mikroprozessor implementiert, stellen Sie sicher, dass dessen Umgebung (Kernel) komplett mit BScan verifiziert wurde. Danach ist es möglich, eine Firmware mit dynamischen Tests für diese Umgebung downzuloaden.
- Frei laufende Clocks (PLLs, ...) für Speicherbausteine sollten per BScan abschaltbar sein. Die Clock-Netze selbst sollten per BScan gesteuert werden können.
- Wenn analoge Funktionen auf der Baugruppe implementiert wurden, stellen Sie sicher, dass BScan direkt am digitalen Interface platziert ist. Jede Logik dazwischen sollte vermieden werden. Denken Sie über die Verwendung des Standards 1149.4 (analoges BScan) nach. BScan benötigt während des kompletten Tests Spannung. Vermeiden Sie daher Bauelemente mit Kühlkörper oder achten Sie auf die Bestückung derselben. Meistens werden Kühlkörper erst nach den Tests installiert. Es besteht also Überhitzungsrisiko.

3. Board Layout Regeln

- Gleiche Steckverbinder für alle BScan Designs erleichtern die Kontaktierung der Baugruppen.
- Ausschließliche Kontaktierung der Testbussignale mit Nadeln sollte vermieden werden, damit auch ohne Nadelzugriff getestet/programmiert werden kann.
- Sämtliche Testbussignale (TCK, TMS, TDI, TDO, /TRST) sollten Testpads für die Feindiagnose besitzen.
- Die Verbindung vom letzten TDO zum Baugruppensteckverbinder sollte so kurz wie möglich gehalten werden.
- Die Terminierung der Testbussignale sollte so nah wie möglich am letzten Bausteineingang erfolgen.
- TCK und TMS sind Clock Netze. Sie sollten auch wie solche geroutet werden. Sollten viele BScan ICs (mehr als 5) auf dem Prüfling vorhanden sein, empfiehlt sich die Verwendung eines Treiberbausteines für die Testbussignale. Der verwendete BScan Controller kann nur eine begrenzte Anzahl ICs treiben.
- Um Clustertests so weit wie möglich zu vermeiden, sollten alle nicht bzw. nur halb testbaren Netze (nur Treiber/Sensor) mit Testpads für eine zusätzliche Kontaktierung (Flying-Probe) versehen werden.
- Wenn das Board über Steckverbinder mit Zusatzhardware (Scan Plus Modul) verbunden ist, können Testpads für diese Steckverbindernetze entfallen.
- Steckverbinder für Piggy-Back-Module sollten leicht kontaktierbar sein. Die Pins können dann in einem ersten BScan Testschritt durch Kontaktierung mit Scanplus™ Modulen verifiziert werden.
- Sollten verschiedene Hardwareversionen eines Boards geplant sein, stellen Sie sicher, dass der Scanpfad für nicht bestückte Bauelemente und Piggy-Back-Module geschlossen werden kann.
- Werden viele serielle Widerstände in Netzen benutzt, sollten einige von ihnen auf ihre korrekten Parameter überprüfbar sein (Testpads).

Siehe auch:

IEEE Std. 1149.1 (Standard Test Access Port und Boundary-Scan Architektur),
IEEE, Piscataway, NJ, www.ieee.org

Wir sichern Qualität.

www.testwerk.com